

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321716

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 21/762

H01L 27/12

(21)Application number : 09-143529

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 16.05.1997

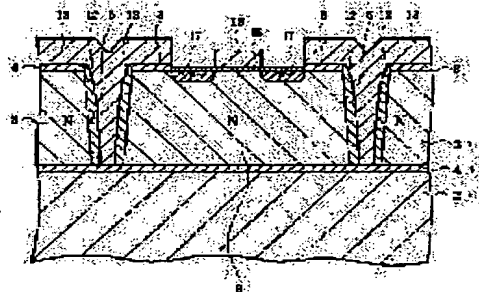
(72)Inventor : TANI TOSHIYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To perform effective gettering on metallicity contaminated objects and the like which have entered into each of element formation regions by providing a groove on a surface area of a semiconductor substrate in an element separation region, while arranging a polycrystalline silicon layer at the side surfaces of the groove, and forming and embedding an insulating layer inside the groove through the polycrystalline silicon layer.

SOLUTION: A substrate surface portion 3 is formed on a substrate body 2 of an SOI substrate 1 via an oxide silicon layer 4. A silicon oxide film 8 is further formed on the substrate surface portion 3 by CVD method. The substrate surface portion 3 of the SOI substrate 1 is subjected to dry etching by using the silicon oxide film 8 as an etching mask, thereby forming a groove 5 on the substrate surface portion 3. Subsequently, a polycrystalline silicon film 12 is formed on the entire surface, including the inner portion of the groove 5. Then, after etching back the polycrystalline silicon film 12 to leave the polycrystalline silicon film 12 only on the side surfaces of the groove 5, a silicon oxide film 13 which serves as an insulating layer is formed on the entire surface so as to fill the inside of the groove 5.



LEGAL STATUS

[Date of request for examination]

11.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device equipped with the slot established in the surface field of a semiconductor substrate and said semi-conductor substrate in a component isolation region, the polycrystalline silicon layer prepared in the side face of said slot, and the insulating layer embedded and formed in the interior of said slot through said polycrystalline silicon layer.

[Claim 2] The semiconductor device according to claim 1 with which insulating separation of said surface field of said semi-conductor substrate is electrically carried out from the substrate body section by the 2nd insulating layer prepared in the bottom of it.

[Claim 3] The semiconductor device according to claim 2 with which said slot is formed by Fukashi who penetrates said surface field of said semi-conductor substrate, and reaches said 2nd insulating layer.

[Claim 4] A semiconductor device given in any 1 term of claims 1-3 in which said polycrystalline silicon layer contains Lynn or boron.

[Claim 5] A semiconductor device given in any 1 term of claims 1-4 in which the 2nd polycrystalline silicon layer which had the perimeter surrounded by the insulating layer inside said insulating layer embedded and formed in the interior of said slot is prepared.

[Claim 6] A semiconductor device given in any 1 term of claims 1-5 by which the MOS transistor is formed in the component formation field surrounded by said component isolation region of said semiconductor substrate.

[Claim 7] The semiconductor device according to claim 6 with which the drain diffusion layer of said MOS transistor is formed in said semi-conductor substrate under said insulating layer with thickness thicker than the gate dielectric film of said MOS transistor.

[Claim 8] The process which forms a slot in the field used as the component isolation region of a semiconductor substrate, and the process which forms the polycrystalline silicon film all over said semiconductor substrate including the interior of said slot, The process which carries out anisotropic etching of said polycrystalline silicon film, and leaves said polycrystalline silicon film only to the side face of said slot, The manufacture approach of a semiconductor device of having the process which forms an insulator layer all over said semi-conductor substrate including the interior of said slot where said polycrystalline silicon film was left behind, and the process which processes said insulator layer into a predetermined pattern including the field of said slot.

[Claim 9] The manufacture approach of a semiconductor device according to claim 8 which forms said slot by Fukashi who arrives at a predetermined depth location as said semi-conductor substrate at the insulating layer using what has an insulating layer.

[Claim 10] The manufacture approach of a semiconductor device according to claim 8 or 9 which introduces Lynn or boron into said polycrystalline silicon film after the time of formation of said polycrystalline silicon film, or formation.

[Claim 11] The manufacture approach of a semiconductor device given in any 1 term of claims 8-10 which has further the process which forms MOS transistor structure in the component formation field surrounded by said component isolation region of said semi-conductor substrate.

[Claim 12] The manufacture approach of a semiconductor device according to claim 11 of performing formation of the drain diffusion layer of said MOS transistor structure before forming said insulator layer.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the trench separation in a SOI (Silicon On Insulator or Semiconductor On Insulator) substrate, concerning the semiconductor device which performs separation between components according to trench separation, and its manufacture approach, and is especially suitable.

[0002]

[Description of the Prior Art] LOCOS currently conventionally used abundantly at the separation between components of semiconductor devices, such as LSI, -- since the field oxide by law has problems, such as a BAZU beak, it is difficult for it to make it correspond to detailed-izing of a component in recent years and contraction-ization of the field field accompanying high integration. Then, even if it contraction-izes a field field, trench separation is used as a component separation method which can perform separation between components with sufficient dependability. This trench separation embeds an insulator layer in the slot (trench) formed in the component isolation region (field field) of a semi-conductor substrate, and performs separation between components.

[0003] The conventional structure which applied trench separation to the so-called substrate of the SOI structure which forms a component in the silicon semi-conductor layer prepared on the insulating layer at drawing 16 is shown.

[0004] The substrate 1 has the SOI structure where insulating separation of the substrate body section 2 and the substrate surface section 3 was mutually carried out electrically by the silicon oxide layer 4. After sticking two silicon single crystal substrates of each other through an oxide-film layer as such a SOI substrate, the lamination substrate which grinds the substrate by the side of a component forming face, and is made thin, the SIMOX substrate which carries out the ion implantation of the oxygen to the predetermined depth location of a silicon single crystal substrate, embeds it in it, and forms an oxide-film layer are known well.

[0005] Like illustration, a slot (trench) 5 is formed in the component isolation region of the substrate surface section 3, and the component isolation construction of a trench mold is formed with the silicon oxide 6 prepared in the side attachment wall of this slot 5, and the polycrystalline silicon 7 which embeds the inside of a slot 5 by the inside of this silicon oxide 6. In addition, polycrystalline silicon 7 is the purpose of the uniform embedding in a slot 5, and is prepared by the CVD method under reduced pressure. moreover, a slot -- embedding all by SiO(s)2 by the CVD method under reduced pressure (the

so-called BPSG which doped a non dope, or (Lynn P) / boron (B)) is also performed in 5.

[0006] Components, such as for example, a bipolar component, an MOS mold component, and a resistance element, are formed in the component formation field surrounded by this trench type of component isolation construction (an MOS transistor is illustrated by a diagram.).

[0007]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the conventional trench mold component isolation construction mentioned above.

[0008] Since each component formation field of the substrate surface section 3 was especially separated by the silicon oxide layer 4 and silicon oxide 6 like the floating island in the case of SOI structure, there are no refuges, such as a metal contamination which trespassed upon each component formation field, and there was a problem that those metal contaminations etc. degraded a component property. For example, those metal contaminations etc. invaded into the gate oxide of an MOS transistor, and were degrading pressure-proofing of gate oxide.

[0009] Then, the purpose of this invention is offering the semiconductor device which has the trench mold component isolation construction which can carry out gettering of the metal contamination which trespassed upon each component formation field effectively, and can mitigate degradation of the component property by those metal contaminations etc., and its manufacture approach.

[0010]

[Means for Solving the Problem] The semiconductor device of this invention which solves the technical problem mentioned above is equipped with the slot established in the surface field of a semi-conductor substrate and said semi-conductor substrate in a component isolation region, the polycrystalline silicon layer prepared in the side face of said slot, and the insulating layer embedded and formed in the interior of said slot through said polycrystalline silicon layer.

[0011] Moreover, the process which forms a slot in the field to which the manufacture approach of the semiconductor device of this invention serves as a component isolation region of a semi-conductor substrate, The process which forms the polycrystalline silicon film all over said semi-conductor substrate including the interior of said slot, The process which carries out anisotropic etching of said polycrystalline silicon film, and leaves said polycrystalline silicon film only to the side face of said slot, It has the process which forms an insulator layer all over said semi-conductor substrate including the interior of said slot where said polycrystalline silicon film was left behind, and the process which processes said insulator layer into a predetermined pattern including the field of said slot.

[0012]

[Embodiment of the Invention] Hereafter, this invention is explained according to the gestalt of desirable operation.

[0013] [Gestalt of the 1st operation] With reference to drawing 1 - drawing 8 , the gestalt of the 1st operation which applied this invention to trench separation of a SOI substrate is first explained according to the manufacture approach.

[0014] First, as shown in drawing 1 , silicon oxide 8 is formed with a CVD method on the substrate surface section 3 of the SOI substrate 1 with which the substrate surface section 3 which turns into too the substrate body section 2 which consists of semi-conductor silicon of a single crystal from the semi-conductor silicon of a single crystal was formed through the silicon oxide layer 4.

[0015] Next, as shown in drawing 2 , a photoresist 9 is applied to the whole surface, patterning of this photoresist 9 is carried out with photolithography, and opening 10 is formed in the predetermined location of the field which turns into a component isolation region (field field) behind. After an appropriate time, dry etching of the silicon oxide 8 is carried out using this photoresist 9 as an etching mask, and the opening 11 corresponding to the opening 10 of a photoresist 9 is formed in silicon oxide 8 like illustration.

[0016] Next, as shown in drawing 3 , after removing a photoresist 9, shortly, dry etching of the substrate surface section 3 of the SOI substrate 1 is carried out using silicon oxide 8 as an etching mask, and a

slot 5 is formed in the substrate surface section 3. At this time, a slot 5 can be formed like illustration by Fukushima who reaches the silicon oxide layer 4 by using the silicon oxide layer 4 of the SOI substrate 1 as an etching stopper. Moreover, the thickness of silicon oxide 8 decreases a little by etching at this time.

[0017] Next, as shown in drawing 4, the polycrystalline silicon film 12 is formed all over including the inside of a slot 5, and Lynn is introduced into this polycrystalline silicon film 12. Installation of this Lynn can be performed with ion-implantation after formation of the polycrystalline silicon film 12. Or Lynn is mixed into the reactant gas at the time of forming the polycrystalline silicon film 12 with a CVD method, and Lynn can also be introduced into formation and coincidence of the polycrystalline silicon film 12 into it.

[0018] next, it is shown in drawing 5 -- as -- the polycrystalline silicon film 12 -- RIE (Reactive Ion Etching) etc. -- etchback is carried out by anisotropy dry etching, and it leaves the polycrystalline silicon film 12 like illustration only to the side face of a slot 5. At this time, the thickness of the polycrystalline silicon film 12 which it leaves to the side face of a slot 5 may be about 3000-6000Å to the slot 5 of about 2-micrometer width of face.

[0019] Next, as are shown in drawing 6, and the inside of a slot 5 is embedded, silicon oxide 13 is formed in the whole surface. As for the width of face in the slot 5 of this oxide film, it is desirable to consider as 8000Å or more (good [as 1 micrometer] in the above) in respect of the separation between components, and oxide-film pressure-proofing.

[0020] Next, as shown in drawing 7, patterning of the photoresist 14 formed in the whole surface is carried out with photolithography, and the silicon oxide 13 and silicon oxide 8 of a component formation field are removed, using this photoresist 14 as an etching mask. Thereby, silicon oxide 13 and silicon oxide 8 are left behind like illustration only to the field field in which the slot 5 was established. After an appropriate time, a photoresist 14 is removed.

[0021] Next, as shown in drawing 8, predetermined component structure is formed in the component formation field to which silicon oxide 13 and silicon oxide 8 were removed. For example, gate oxide 15 is formed on the substrate surface section 3 of the SOI substrate 1, and the gate electrode 16 is formed on it at a predetermined pattern. After an appropriate time, an ion implantation is performed by using the gate electrode 16 as a mask at the silicon oxide 13 and the silicon oxide 8 list of a field field, and the impurity diffused layer 17 of a predetermined conductivity type is formed in the substrate surface section 3. Thereby, the MOS transistor used as the source/drain is formed [impurity diffused layer / 17 / of the gate and a pair] in the gate electrode 16.

[0022] In the gestalt of this 1st operation, since the polycrystalline silicon film 12 is formed in the side face of the slot 5 which constitutes trench separation, gettering of the metal impurity which trespassed upon the component formation field is carried out to this polycrystalline silicon film 12. Therefore, degradation of the component property resulting from those metal impurities etc. is prevented.

[0023] In addition, although Lynn was introduced into the polycrystalline silicon film 12 prepared in the side face of a slot 5 with the gestalt of the 1st operation of a ****, as an impurity introduced into this polycrystalline silicon film 12, Lynn or boron can be suitably chosen in consideration of the specified substance of gettering, the distance (namely, diffusion of the impurity from the polycrystalline silicon film 12 at the time of component formation) from a component to a slot 5, etc. Moreover, the polycrystalline silicon film 12 of a non dope can also be used.

[0024] The result of having investigated pressure-proofing of the gate oxide (about 500Å of thickness) in P well and N well in the trench isolation construction by the gestalt of operation of the 1st of this invention shown in the trench isolation construction and drawing 8 of the former shown in following [table 1] at drawing 16 is shown. In addition, having measured front Naka and the point 1-1 to 1-5 by five points of one wafer is shown, and having measured 2-1 to 2-5 by five points of another wafer is shown.

[0025]

[Table 1]

ポイント	従来		本発明	
	Pウェル	Nウェル	Pウェル	Nウェル
1-1	29.5	24	35	51
1-2	29.5	0.5	39	53
1-3	32.5	23	21	51
1-4	33	0	32	52
1-5	31.5	30	34	51
2-1	27.5	26	33	50
2-2	28	24	38	50
2-3	28.5	24.5	37	48
2-4	29.5	0	35	41
2-5	33	13	21	48
平均	30.3	16.5	32.5	49.5
標準誤差	2.08	12.04	6.43	3.37

ゲート酸化膜耐圧 [V]

[0026] The result of this the [table 1] shows that the gate oxide pressure-proofing of N well [P well and] improves sharply by using the trench isolation construction by the gestalt of operation of the 1st of this invention. It is thought that gettering of the metal impurity with which the polycrystalline silicon film 12 prepared in the side face of the slot 5 of the trench isolation construction by the gestalt of operation of the 1st of this invention invaded into gate oxide conventionally, and was degrading pressure-proofing from this is carried out effectively.

[0027] The result of having investigated gate pressure-proofing of the high proof-pressure NMOS transistor actually produced to following [table 2] and a PMOS transistor is shown. Although front Naka and PMOS tied 32 high proof-pressure PMOS transistors in a chip to juxtaposition, although gate pressure-proofing and NMOS tied 16 high proof-pressure NMOS transistors in a chip to juxtaposition, they show gate pressure-proofing, respectively.

[0028]

[Table 2]

従来		本発明	
NMOS	PMOS	NMOS	PMOS
24	47	35	47
23	47	38	45
24	47	35	46
25	47	39	46
24	46	37	46
26	46	38	48

ゲート耐圧 [V]

[0029] The result of this the [table 2] shows that gate pressure-proofing improves in a high proof-pressure NMOS transistor especially by using the trench isolation construction by the gestalt of operation of the 1st of this invention.

[0030] An example of the manufacture approach of the SOI substrate which was mentioned above to drawing 9 and drawing 10 and which can be used with the gestalt of the 1st operation is shown.

[0031] First, as shown in drawing 9 (a), the single crystal silicon substrate 101 and the single crystal silicon substrate 102 of each other in which the oxide film 103 was formed on the front face are stuck as shown in drawing 9 (b).

[0032] Next, as are shown in drawing 10 (a), and etching removes the oxide film 103 of parts other than the plane of composition of a silicon substrate 102 and it is shown in drawing 10 (b) after an appropriate time, a silicon substrate 102 is ground until it becomes predetermined thickness (for example, about 9 micrometers).

[0033] Thereby, the SOI substrate which makes a silicon substrate 101 the substrate body section, and makes a silicon substrate 102 the substrate surface section is formed.

[0034] In addition, as a SOI substrate, a SIMOX substrate etc. can also be used in addition to a lamination substrate which was mentioned above.

[0035] [Gestalt of the 2nd operation] The trench isolation construction by the gestalt of operation of the 2nd of this invention is shown in drawing 11 .

[0036] With the gestalt of this 2nd operation, polycrystalline silicon 7 is further embedded like illustration inside the silicon oxide 13 which embeds the inside of a slot 5. Therefore, those silicon oxide 13 and polycrystalline silicon 7 attain the same component isolation as the former explained by drawing 16 . Furthermore, in the gestalt of this 2nd operation, since the polycrystalline silicon film 12 prepared in the side face of a slot 5 shows a gettering operation of a component formation field, degradation of the component property by the metal contamination which trespassed upon the component formation field is prevented.

[0037] In the gestalt of this 2nd operation, the configuration except having mentioned above is the same as the gestalt of the 1st operation mentioned already, and good. Therefore, the same sign as the gestalt of the 1st operation mentioned already to the gestalt of the 1st operation and the corresponding part which were mentioned already is attached, and the detailed explanation is omitted.

[0038] [Gestalt of the 3rd operation] Next, with reference to drawing 12 - drawing 15 R> 5, the gestalt of operation of the 3rd of this invention is explained.

[0039] With the gestalt of this 3rd operation, before the process of drawing 1 of the gestalt of the 1st operation mentioned already, as shown in drawing 12 , the drain field 18 of an MOS transistor is formed. It diffuses boron (B), in forming the drain field 18 of P type in the substrate surface section 3 of N type at this time. Moreover, in forming the drain field of N type in the substrate surface section of P type, it diffuses Phosphorus (P).

[0040] Next, as shown in drawing 13 , silicon oxide 13 is formed in the whole surface so that the inside of a slot 5 may be embedded.

[0041] Next, although patterning of silicon oxide 13 and the silicon oxide 8 is carried out using a photoresist 14 as shown in drawing 14 , with the gestalt of this 3rd operation, it leaves like illustration a pattern which encloses the impurity diffused layer 18 previously formed in silicon oxide 13.

[0042] Next, as shown in drawing 15 , after removing a photoresist 14, gate oxide 19 is formed in a component formation field, and the gate electrode 20 is further formed on it at a predetermined pattern. After an appropriate time, an ion implantation is performed by using the gate electrode 20 as a mask at the silicon oxide 13 and the silicon oxide 8 list of a field field, and the impurity diffused layer 22 used as the impurity diffused layer 21 and drain field which turn into a source field of an MOS transistor at the substrate surface section 3 is formed, respectively. Thereby, the MOS transistor of the high proof-pressure structure (about [About 250] V) where the drain field was covered from gate oxide (about 500A) by the silicon oxide 13 of a thick film (about 10000-12000A) is formed like illustration.

[0043] Since the silicon oxide 13 which embeds a slot 5 is used with the gestalt of this 3rd operation also as an oxide film of the thick film surrounding the drain field of high proof-pressure metal-oxide-semiconductor structure, that configuration is simple.

[0044] As mentioned above, although this invention was explained according to the gestalt of desirable operation, this invention is not limited to the gestalt of above-mentioned operation.

[0045] For example, in the case of a SOI substrate, the trench mold component isolation construction of this invention is applied, and although it is especially effective, even if it not necessarily applies it to the separation between components of not only it but the usual single crystal silicon substrate, it is effective.

[0046]

[Effect of the Invention] In this invention, a polycrystalline silicon layer is prepared in the side face of the slot prepared for separation between components, and the gettering of the metal impurity which trespassed upon the component formation field is made to be carried out to this polycrystalline silicon

layer. Therefore, degradation of the component property by those metal impurities etc. is prevented, and a reliable semiconductor device can be offered.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 5] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 6] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 7] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 8] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 9] It is the outline sectional view showing an example of the manufacture approach of a SOI substrate.

[Drawing 10] It is the outline sectional view showing an example of the manufacture approach of a SOI substrate.

[Drawing 11] It is the outline sectional view showing the semiconductor device by the gestalt of operation of the 2nd of this invention.

[Drawing 12] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 3rd of this invention.

[Drawing 13] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 3rd of this invention.

[Drawing 14] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 3rd of this invention.

[Drawing 15] It is the outline sectional view showing the production process of the semiconductor device by the gestalt of operation of the 3rd of this invention.

[Drawing 16] It is the outline sectional view showing the conventional semiconductor device.

[Description of Notations]

1 [-- A silicon oxide layer, 5 / -- A slot (trench), 7 / -- Polycrystalline silicon, 8 / -- Silicon oxide, 12 / -- The polycrystalline silicon film, 13 / -- Silicon oxide, 14 / -- 18 A photoresist, 21 / -- An impurity diffused layer, 19 / -- Gate oxide, 20 / -- Gate electrode] -- A SOI substrate, 2 -- The substrate body section, 3 -- The substrate surface section, 4

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321716

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁸

H 0 1 L 21/762
27/12

識別記号

F I

H 0 1 L 21/76
27/12

D
B
F

審査請求 未請求 請求項の数12 F D (全 10 頁)

(21) 出願番号 特願平9-143529

(22) 出願日 平成9年(1997)5月16日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富
士ビル

(72) 発明者 谷 俊幸

大分県速見郡日出町大字川崎字高尾4260
日本テキサス・インスツルメンツ株式会
社 内

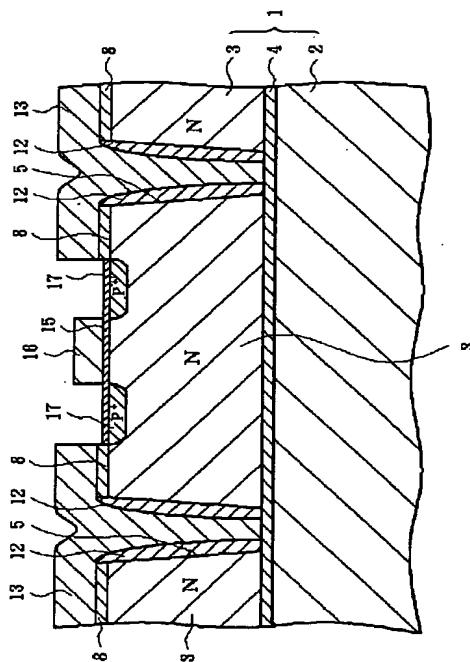
(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 SOI 基板にトレンチ分離を適用した時、素子形成領域に閉じ込められた金属汚染物がゲート耐圧等の素子特性を劣化させることを防止する。

【解決手段】 トレンチ5の側壁にポリシリコン12を形成し、このポリシリコン12に素子形成領域内の金属汚染物をゲッタリングさせる。



BEST AVAILABLE COPY

(2)

1

【特許請求の範囲】

【請求項1】 半導体基板と、
素子分離領域における前記半導体基板の表面領域に設けられた溝と、

前記溝の側面に設けられた多結晶シリコン層と、
前記溝の内部に前記多結晶シリコン層を介して埋め込み形成された絶縁層と、を備えた半導体装置。

【請求項2】 前記半導体基板の前記表面領域が、その下に設けられた第2の絶縁層により基板本体部から電氣的に絶縁分離されている、請求項1に記載の半導体装置。

【請求項3】 前記半導体基板の前記表面領域を貫通して前記第2の絶縁層に達する深さまで前記溝が形成されている、請求項2に記載の半導体装置。

【請求項4】 前記多結晶シリコン層が、リン又はホウ素を含有している請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記溝の内部に埋め込み形成された前記絶縁層の内側に、その絶縁層により周囲を囲まれた第2の多結晶シリコン層が設けられている、請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 前記半導体基板の前記素子分離領域により囲まれた素子形成領域にMOS型トランジスタが形成されている、請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記MOS型トランジスタのドレイン拡散層が、前記MOS型トランジスタのゲート絶縁膜よりも膜厚の厚い前記絶縁層の下の前記半導体基板内に形成されている、請求項6に記載の半導体装置。

【請求項8】 半導体基板の素子分離領域となる領域に溝を形成する工程と、

前記溝の内部を含む前記半導体基板の全面に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜を異方性エッチングして、前記溝の側面にのみ前記多結晶シリコン膜を残す工程と、

前記多結晶シリコン膜が残された前記溝の内部を含む前記半導体基板の全面に絶縁膜を形成する工程と、
前記絶縁膜を、前記溝の領域を含む所定パターンに加工する工程と、を有する半導体装置の製造方法。

【請求項9】 前記半導体基板として、所定深さ位置に絶縁層を有するものを用い、その絶縁層に達する深さまで前記溝を形成する、請求項8に記載の半導体装置の製造方法。

【請求項10】 前記多結晶シリコン膜の形成時又は形成後に、前記多結晶シリコン膜にリン又はホウ素を導入する、請求項8又は9に記載の半導体装置の製造方法。

【請求項11】 前記半導体基板の前記素子分離領域により囲まれた素子形成領域にMOS型トランジスタ構造を形成する工程を更に有する、請求項8～10のいずれか1項に記載の半導体装置の製造方法。

2

【請求項12】 前記MOS型トランジスタ構造のドレイン拡散層の形成を、前記絶縁膜を形成する前に行う、請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチ分離により素子間分離を行う半導体装置及びその製造方法に関し、例えば、SOI (Silicon On Insulator又は Semiconductor On Insulator) 基板におけるトレンチ分離に適用して特に好適なものである。

【0002】

【従来の技術】LSI等の半導体装置の素子間分離に従来多用されているLOCOS法によるフィールド酸化膜は、バズビーク等の問題が有るため、近年の素子の微細化及び高集積化に伴うフィールド領域の縮小化に対応させることが困難である。そこで、フィールド領域を縮小化しても信頼性良く素子間分離を行える素子分離法として、トレンチ分離が用いられる。このトレンチ分離は、半導体基板の素子分離領域（フィールド領域）に形成した溝（トレンチ）内に絶縁膜を埋め込んで素子間分離を行うものである。

【0003】図16に、絶縁層上に設けたシリコン半導体層に素子を形成するいわゆるSOI構造の基板にトレンチ分離を適用した従来の構造を示す。

【0004】基板1は、基板本体部2と基板表面部3とが酸化シリコン層4により互いに電氣的に絶縁分離されたSOI構造を有している。このようなSOI基板としては、2枚のシリコン単結晶基板を酸化膜層を介して互いに貼り合わせた後、素子形成面側の基板を研磨して薄くする貼り合わせ基板、シリコン単結晶基板の所定深さ位置に酸素をイオン注入して埋め込み酸化膜層を形成するSIMOX基板等が良く知られている。

【0005】図示の如く、基板表面部3の素子分離領域には溝（トレンチ）5が形成され、この溝5の側壁に設けられたシリコン酸化膜6とこのシリコン酸化膜6の内側で溝5内を埋め込む多結晶シリコン7とによりトレンチ型の素子分離構造が形成されている。なお、多結晶シリコン7は、溝5内の均一な埋め込みの目的で、減圧下のCVD法により設けられるものである。また、溝5内全てを、減圧下のCVD法によるSiO₂（ノンドープ、又は、リン（P）／ホウ素（B）をドープしたいわゆるBPSG等）により埋め込むことも行われている。

【0006】このトレンチ型の素子分離構造で囲まれた素子形成領域には、例えば、バイポーラ素子、MOS型素子、抵抗素子等の素子が形成される（図では、MOSトランジスタを例示する。）。

【0007】

【発明が解決しようとする課題】しかし、上述した従来のトレンチ型素子分離構造には、次のような問題があった。

50

(3)

3

【0008】特に、SOI構造の場合、基板表面部3の各素子形成領域が、酸化シリコン層4とシリコン酸化膜6により浮島の如く分離されているため、各素子形成領域に侵入した金属汚染物等の逃げ場が無く、それらの金属汚染物等が素子特性を劣化させるという問題が有った。例えば、それらの金属汚染物等は、MOSトランジスタのゲート酸化膜中に侵入して、ゲート酸化膜の耐圧を劣化させていた。

【0009】そこで、本発明の目的は、各素子形成領域に侵入した金属汚染物等を効果的にゲッタリングすることができて、それらの金属汚染物等による素子特性の劣化を軽減することができるトレンチ型素子分離構造を有する半導体装置及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】上述した課題を解決する本発明の半導体装置は、半導体基板と、素子分離領域における前記半導体基板の表面領域に設けられた溝と、前記溝の側面に設けられた多結晶シリコン層と、前記溝の内部に前記多結晶シリコン層を介して埋め込み形成された絶縁層と、を備える。

【0011】また、本発明の半導体装置の製造方法は、半導体基板の素子分離領域となる領域に溝を形成する工程と、前記溝の内部を含む前記半導体基板の全面に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を異方性エッチングして、前記溝の側面にのみ前記多結晶シリコン膜を残す工程と、前記多結晶シリコン膜が残された前記溝の内部を含む前記半導体基板の全面に絶縁膜を形成する工程と、前記絶縁膜を、前記溝の領域を含む所定パターンに加工する工程と、を有する。

【0012】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0013】〔第1の実施の形態〕まず、図1～図8を参照して、SOI基板のトレンチ分離に本発明を適用した第1の実施の形態をその製造方法に従い説明する。

【0014】まず、図1に示すように、例えば、単結晶の半導体シリコンからなる基板本体部2とやはり単結晶の半導体シリコンからなる基板表面部3が酸化シリコン層4を介して設けられたSOI基板1の基板表面部3の上にCVD法によりシリコン酸化膜8を形成する。

【0015】次に、図2に示すように、全面にフォトレジスト9を塗布し、フォトリソグラフィによりこのフォトレジスト9をパターンニングして、後に素子分離領域（フィールド領域）となる領域の所定位置に開口10を形成する。しかる後、このフォトレジスト9をエッチングマスクとして用いてシリコン酸化膜8をドライエッチングし、図示の如く、フォトレジスト9の開口10に対応した開口11をシリコン酸化膜8に形成する。

【0016】次に、図3に示すように、フォトレジスト

4

9を除去した後、今度はシリコン酸化膜8をエッチングマスクとして用いてSOI基板1の基板表面部3をドライエッチングし、基板表面部3に溝5を形成する。この時、SOI基板1の酸化シリコン層4をエッチングストッパーとして用いることにより、図示の如く、溝5を、酸化シリコン層4に達する深さまで形成することができ。また、この時のエッチングにより、シリコン酸化膜8の膜厚は若干減少する。

【0017】次に、図4に示すように、溝5内を含む全面に多結晶シリコン膜12を形成し、この多結晶シリコン膜12にリンを導入する。このリンの導入は、多結晶シリコン膜12の形成後、イオン注入法により行うことができる。或いは、多結晶シリコン膜12をCVD法で形成する際の反応ガス中にリンを混入しておき、多結晶シリコン膜12の形成と同時にその中にリンを導入することもできる。

【0018】次に、図5に示すように、多結晶シリコン膜12をRIE（Reactive Ion Etching）等の異方性ドライエッチングによりエッチバックして、図示の如く、溝5の側面にのみ多結晶シリコン膜12を残す。この時、溝5の側面に残す多結晶シリコン膜12の膜厚は、例えば、約2 μ m幅の溝5に対し、3000～6000Å程度とする。

【0019】次に、図6に示すように、溝5内を埋め込むようにして、全面にシリコン酸化膜13を形成する。この酸化膜の溝5内での幅は8000Å以上（上記においては1 μ mとしてよい。）とするのが、素子間分離、及び酸化膜耐圧の点で望ましい。

【0020】次に、図7に示すように、全面に形成したフォトレジスト14をフォトリソグラフィによりパターンニングし、このフォトレジスト14をエッチングマスクとして用いて、素子形成領域のシリコン酸化膜13及びシリコン酸化膜8を除去する。これにより、図示の如く、シリコン酸化膜13及びシリコン酸化膜8は、溝5が設けられたフィールド領域にのみ残される。しかる後、フォトレジスト14を除去する。

【0021】次に、図8に示すように、シリコン酸化膜13及びシリコン酸化膜8が除去された素子形成領域に所定の素子構造を形成する。例えば、SOI基板1の基板表面部3の上にゲート酸化膜15を形成し、その上にゲート電極16を所定パターンに形成する。しかる後、フィールド領域のシリコン酸化膜13及びシリコン酸化膜8並びにゲート電極16をマスクとしてイオン注入を行い、基板表面部3に所定導電型の不純物拡散層17を形成する。これにより、ゲート電極16をゲート、一对の不純物拡散層17をソース/ドレインとするMOSトランジスタが形成される。

【0022】この第1の実施の形態においては、トレンチ分離を構成する溝5の側面に多結晶シリコン膜12を設けているので、素子形成領域に侵入した金属不純物等

(4)

5

はこの多結晶シリコン膜12にゲッタリングされる。従って、それらの金属不純物等に起因する素子特性の劣化が防止される。

【0023】なお、上述の第1の実施の形態では、溝5の側面に設ける多結晶シリコン膜12にリンを導入したが、この多結晶シリコン膜12に導入する不純物としては、ゲッタリングの目的物、素子から溝5までの距離（即ち、素子形成時における多結晶シリコン膜12からの不純物の拡散）等を考慮して、リン又はホウ素を適宜選択することができる。また、ノンドープの多結晶シリコン膜12を用いることもできる。

【0024】下記【表1】に、図16に示した従来のトレンチ分離構造と図8に示した本発明の第1の実施の形態によるトレンチ分離構造とでのPウェル及びNウェルにおけるゲート酸化膜（膜厚約500Å）の耐圧を調べた結果を示す。なお、表中、ポイント1-1～1-5は、1枚のウェハの5点で測定したことを示し、2-1～2-5は、別のウェハの5点で測定したことを示している。

【0025】

【表1】

ポイント	従来		本発明	
	Pウェル	Nウェル	Pウェル	Nウェル
1-1	29.5	24	35	51
1-2	29.5	0.5	39	53
1-3	32.5	23	21	51
1-4	33	0	32	52
1-5	31.5	30	34	51
2-1	27.5	26	33	50
2-2	28	24	38	50
2-3	28.5	24.5	37	48
2-4	29.5	0	35	41
2-5	33	13	21	48
平均	30.3	16.5	32.5	49.5
標準誤差	2.08	12.04	6.43	3.37

ゲート酸化膜耐圧 [V]

【0026】この【表1】の結果から、Pウェル、Nウェル共、本発明の第1の実施の形態によるトレンチ分離構造を用いることにより、ゲート酸化膜耐圧が大幅に向上することが分かる。このことから、本発明の第1の実施の形態によるトレンチ分離構造の溝5の側面に設けた多結晶シリコン膜12が、従来ゲート酸化膜に侵入して耐圧を劣化させていた金属不純物等を効果的にゲッタリングしていると考えられる。

【0027】下記【表2】に、実際に作製した高耐圧NMOSトランジスタ及びPMOSTランジスタのゲート耐圧を調べた結果を示す。表中、PMOSは、チップ内の32個の高耐圧PMOSTランジスタを並列につなげたもののゲート耐圧、NMOSは、チップ内の16個の高耐圧NMOSTランジスタを並列につなげたもののゲート耐圧を夫々示す。

【0028】

6

【表2】

	従来		本発明	
	NMOS	PMOS	NMOS	PMOS
24		47	35	47
23		47	38	45
24		47	35	46
25		47	39	46
24		46	37	46
26		46	38	48

ゲート耐圧 [V]

【0029】この【表2】の結果から、本発明の第1の実施の形態によるトレンチ分離構造を用いることにより、特に、高耐圧NMOSTランジスタにおいて、ゲート耐圧の向上することが分かる。

【0030】図9及び図10に、上述した第1の実施の形態で用い得るSOI基板の製造方法の一例を示す。

【0031】まず、図9(a)に示すように、単結晶シリコン基板101と表面に酸化膜103を形成した単結晶シリコン基板102とを、図9(b)に示すように、互いに貼り合わせる。

【0032】次に、図10(a)に示すように、シリコン基板102の接合面以外の部分の酸化膜103をエッチングにより除去し、しかる後、図10(b)に示すように、シリコン基板102を所定の厚さ（例えば、9μm程度）になるまで研磨する。

【0033】これにより、シリコン基板101を基基本体部、シリコン基板102を基板表面部とするSOI基板が形成される。

【0034】なお、SOI基板としては、上述したような貼り合わせ基板以外に、SIMOX基板等を用いることもできる。

【0035】【第2の実施の形態】図11に、本発明の第2の実施の形態によるトレンチ分離構造を示す。

【0036】この第2の実施の形態では、図示の如く、溝5内を埋め込むシリコン酸化膜13の内側に更に多結晶シリコン7が埋め込まれている。従って、それらのシリコン酸化膜13と多結晶シリコン7により、図16で説明した従来と同様の素子分離機能を達成する。更に、この第2の実施の形態においては、溝5の側面に設けた多結晶シリコン膜12が素子形成領域のゲッタリング作用を示すので、素子形成領域に侵入した金属汚染物等による素子特性の劣化が防止される。

【0037】この第2の実施の形態において、上述した以外の構成は、既述した第1の実施の形態と同じで良い。従って、既述した第1の実施の形態と対応する部位に既述した第1の実施の形態と同一の符号を付して、その詳細な説明は省略する。

【0038】【第3の実施の形態】次に、図12～図15を参照して、本発明の第3の実施の形態を説明する。

【0039】この第3の実施の形態では、既述した第1の実施の形態の図1の工程の前に、図12に示すよう

(5)

7

に、MOSトランジスタのドレイン領域18を形成する。この時、N型の基板表面部3にP型のドレイン領域18を形成する場合には、ホウ素(B)の拡散を行う。また、P型の基板表面部にN型のドレイン領域を形成する場合には、リン(P)の拡散を行う。

【0040】次に、図13に示すように、溝5内を埋め込むように全面にシリコン酸化膜13を形成する。

【0041】次に、図14に示すように、フォトリソスト14を用いてシリコン酸化膜13及びシリコン酸化膜8をパターンニングするが、この第3の実施の形態では、
10 図示の如く、シリコン酸化膜13を、先に形成された不純物拡散層18を囲うようなパターンに残す。

【0042】次に、図15に示すように、フォトリソスト14を除去した後、素子形成領域にゲート酸化膜19を形成し、更に、その上にゲート電極20を所定パターンに形成する。しかる後、フィールド領域のシリコン酸化膜13及びシリコン酸化膜8並びにゲート電極20をマスクとしてイオン注入を行い、基板表面部3にMOSトランジスタのソース領域となる不純物拡散層21及びドレイン領域となる不純物拡散層22を夫々形成する。
20 これにより、図示の如く、ドレイン領域が、ゲート酸化膜(約500Å程度)より厚膜(10000~12000Å程度)のシリコン酸化膜13で覆われた高耐圧構造(約250V程度)のMOSトランジスタが形成される。

【0043】この第3の実施の形態では、溝5を埋め込むシリコン酸化膜13を高耐圧MOS構造のドレイン領域を囲う厚膜の酸化膜としても用いているのでその構成が簡便である。

【0044】以上、本発明を好ましい実施の形態に従い
30 説明したが、本発明は上述の実施の形態に限定されるものではない。

【0045】例えば、本発明のトレンチ型素子分離構造は、SOI基板の場合に適用して特に効果的なものであるが、必ずしもそれに限らず、通常の単結晶シリコン基板の素子間分離に適用しても有効なものである。

【0046】

【発明の効果】本発明においては、素子間分離のために設けられた溝の側面に多結晶シリコン層を設け、素子形成領域に侵入した金属不純物等がこの多結晶シリコン層
40 にゲッタリングされるようにしている。従って、それら

8

の金属不純物等による素子特性の劣化が防止され、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図3】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図4】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図5】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図6】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図7】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図8】本発明の第1の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図9】SOI基板の製造方法の一例を示す概略断面図である。

【図10】SOI基板の製造方法の一例を示す概略断面図である。

【図11】本発明の第2の実施の形態による半導体装置を示す概略断面図である。

【図12】本発明の第3の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図13】本発明の第3の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図14】本発明の第3の実施の形態による半導体装置の製造工程を示す概略断面図である。

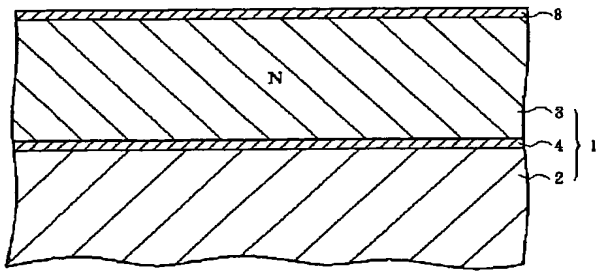
【図15】本発明の第3の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図16】従来の半導体装置を示す概略断面図である。

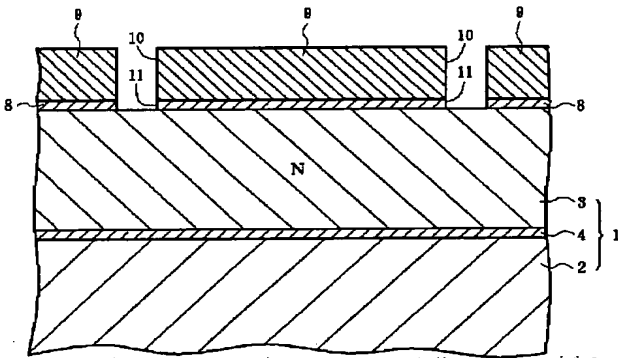
【符号の説明】

1…SOI基板、2…基板本体部、3…基板表面部、4…酸化シリコン層、5…溝(トレンチ)、7…多結晶シリコン、8…シリコン酸化膜、12…多結晶シリコン膜、13…シリコン酸化膜、14…フォトリソスト、18、21…不純物拡散層、19…ゲート酸化膜、20…ゲート電極

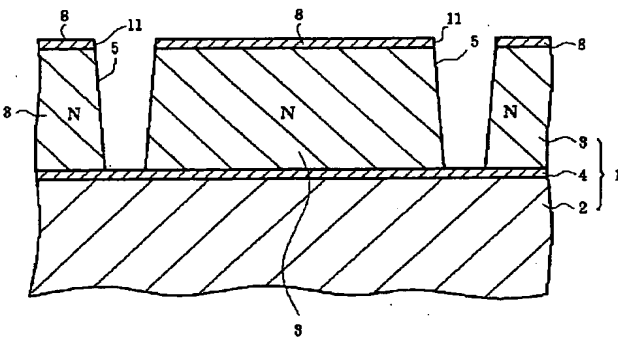
【図1】



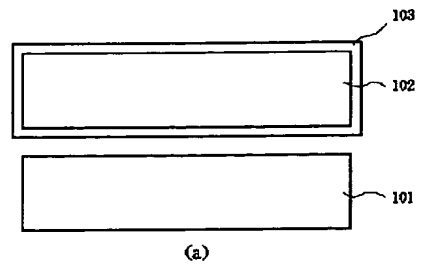
【図2】



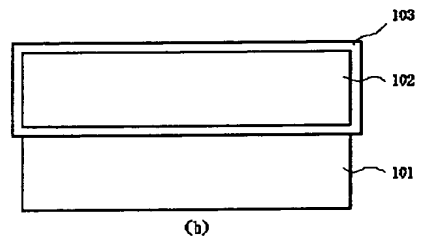
【図3】



【図9】

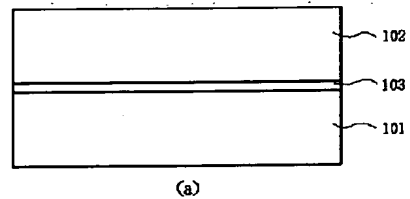


(a)

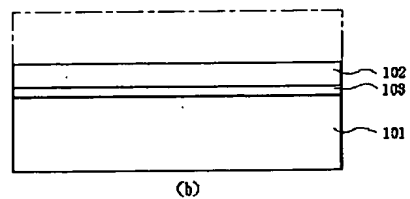


(b)

【図10】

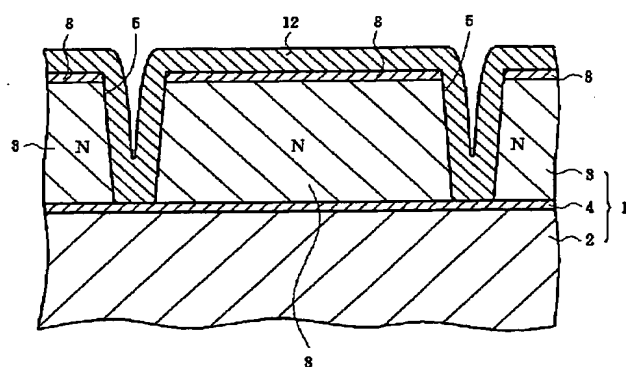


(a)

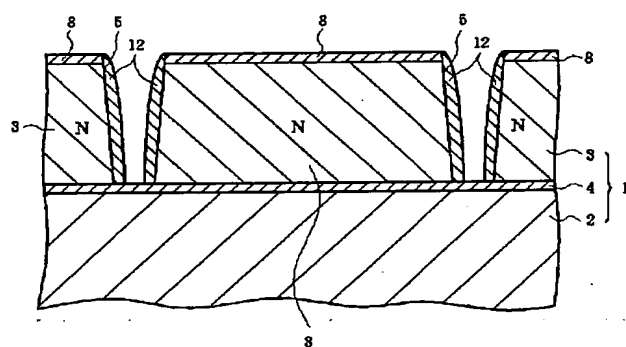


(b)

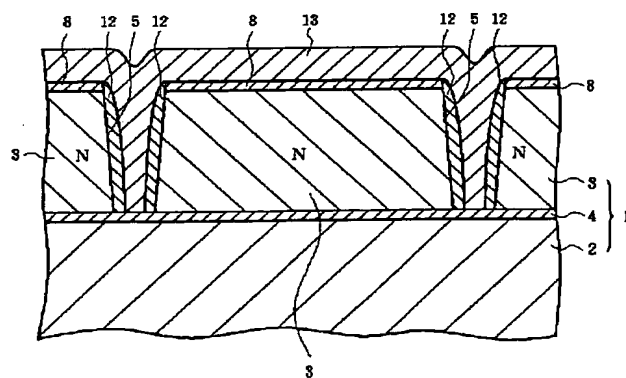
【圖 4】



【図5】

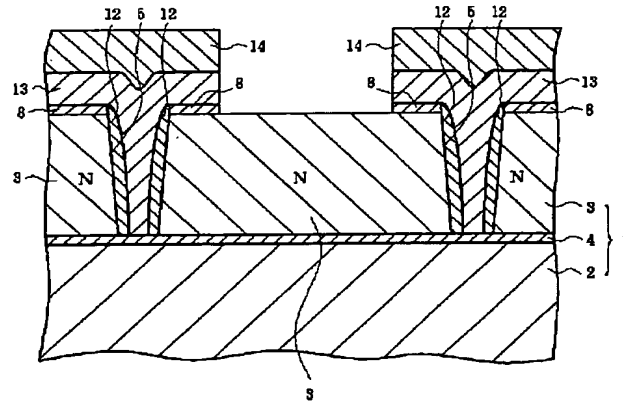


【図6】

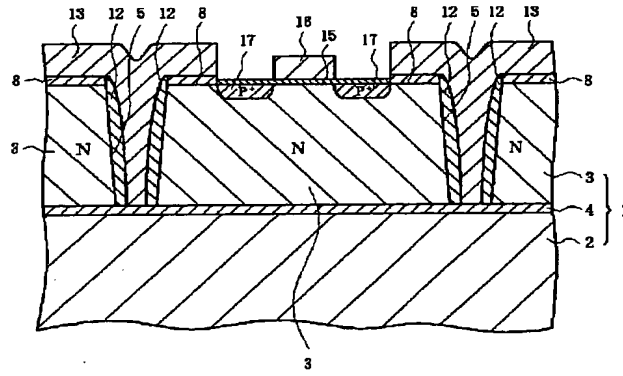


BEST AVAILABLE COPY

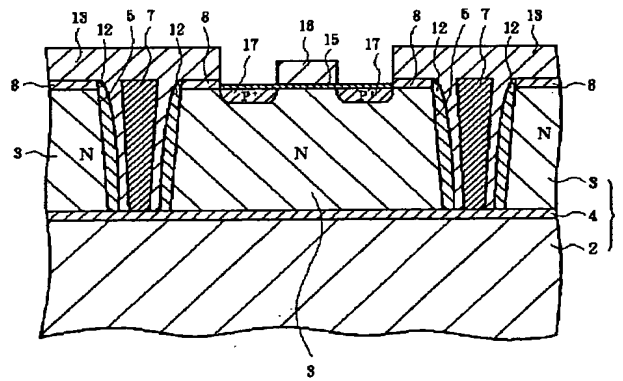
【図7】



【図8】



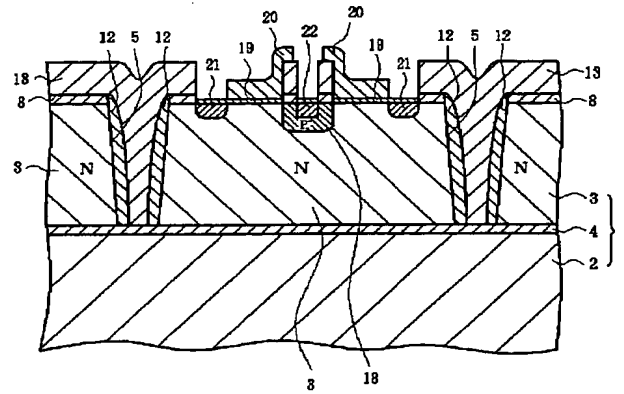
【図11】



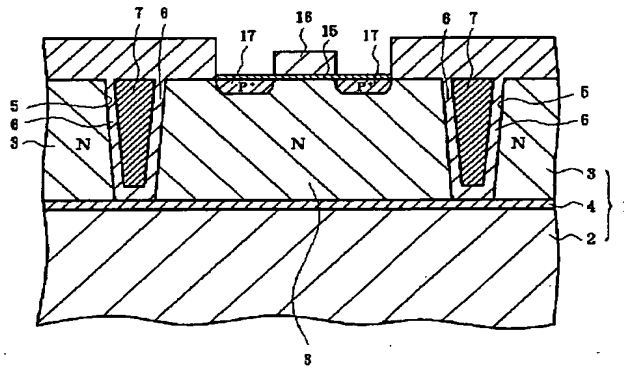
BEST AVAILABLE COPY

Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 2 with a horizontal layer 4. Above this is a region 3 containing a central block 18 and side regions 8. A layer 5 is on top of the side regions 8. A vertical layer 12 is on the left and right sides. The regions 3, 8, and 12 are labeled 'N'.

【図15】



【図16】



BEST AVAILABLE COPY

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 7 部門第 2 区分
 【発行日】 平成 16 年 11 月 25 日 (2004.11.25)

【公開番号】 特開平 10-321716
 【公開日】 平成 10 年 12 月 4 日 (1998.12.4)
 【出願番号】 特願平 9-143529
 【国際特許分類第 7 版】

H 0 1 L 21/762

H 0 1 L 27/12

【F I】

H 0 1 L 21/76 D

H 0 1 L 27/12 B

H 0 1 L 27/12 F

【手続補正書】
 【提出日】 平成 15 年 12 月 11 日 (2003.12.11)
 【手続補正 1】

【補正対象書類名】 明細書
 【補正対象項目名】 発明の名称
 【補正方法】 変更

【補正の内容】
 【発明の名称】 半導体装置

【手続補正 2】
 【補正対象書類名】 明細書
 【補正対象項目名】 特許請求の範囲
 【補正方法】 変更
 【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板本体部と、
上記基板本体部上に形成された絶縁膜と、
上記絶縁膜上に形成された基板表面部と、
上記基板表面部に形成された素子分離領域としての溝と、
上記溝の側面上に直接的に形成された多結晶シリコン層と、
間に置かれた上記多結晶シリコン層と共に上記溝内に埋め込まれて形成された絶縁層と
を有する半導体装置。

【請求項 2】

上記多結晶シリコン層がリン又はボロンを含有する請求項 1 に記載の半導体装置。

【請求項 3】

上記溝が上記基板表面部を貫通して上記絶縁膜に達する深さを有する請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

上記溝内に埋め込まれて上記絶縁層に囲まれた多結晶シリコン層を更に有する請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】

上記基板表面部の上記素子分離領域によって囲まれた素子形成領域に形成された MOS トランジスタを有する請求項 1、2、3 又は 4 に記載の半導体装置。

【請求項 6】

上記 MOS トランジスタのドレイン拡散層が上記 MOS トランジスタのゲート絶縁膜より

も厚い前記絶縁層と同時に形成された絶縁層の下方の前記基板表面部に形成されている請求項5に記載の半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、トレンチ分離により素子間分離を行う半導体装置に関し、例えば、SOI (Silicon On Insulator又はSemiconductor On Insulator) 基板におけるトレンチ分離に適用して特に好適なものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

そこで、本発明の目的は、各素子形成領域に侵入した金属汚染物等を効果的にゲッタリングすることができて、それらの金属汚染物等による素子特性の劣化を軽減することができるトレンチ型素子分離構造を有する半導体装置を提供することである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

【課題を解決するための手段】

上述した課題を解決する本発明の半導体装置は、半導体基板本体部と、上記基板本体部上に形成された絶縁膜と、上記絶縁膜上に形成された基板表面部と、上記基板表面部に形成された素子分離領域としての溝と、上記溝の側面上に直接的に形成された多結晶シリコン層と、間に置かれた上記多結晶シリコン層と共に上記溝内に埋め込まれて形成された絶縁層とを有する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】削除

【補正の内容】